

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-232795

(43)Date of publication of application : 27.08.1999

(51)Int.Cl.

G11B 20/14

(21)Application number : 10-034646

(71)Applicant : MATSUSHITA ELECTRIC IND  
CO LTD

(22)Date of filing : 17.02.1998

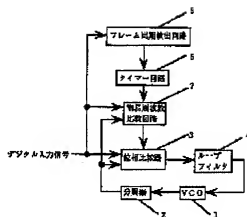
(72)Inventor : NAKAJIMA SHOTA

## (54) BIT CLOCK REPRODUCING DEVICE

### (57)Abstract:

**PROBLEM TO BE SOLVED:** To realize a bit clock reproducing device which can obtain a bit clock having a desired frequency only by a digital input signal without requiring an external clock for detecting frequency.

**SOLUTION:** This device is provided with a frame synchronism detecting circuit 5 detecting synchronism from a data format of a digital input signal in a PLL circuit consisting of a VCO(voltage control oscillator) circuit 1, a frequency divider 2, a phase comparator 4, and a loop filter 4, a timer circuit 6 monitoring the detected result for a fixed period, and a simple frequency comparing circuit 7 to which a digital input signal and an output signal of the frequency divider 2 are inputted. Then a pseudo synchronizing state of the PLL is detected by the frame synchronism detecting circuit 5 and the timer circuit 6, and bit clock reproducing operation is realized by controlling the phase comparator 3 so that an oscillation output of the VCO circuit 1 is shifted to a desired frequency by the simple frequency comparing circuit 7.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of  
rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-232795

(43) 公開日 平成11年(1999) 8月27日

(51) Int.Cl.<sup>8</sup>

G 1 1 B 20/14

識別記号

3 5 1

P I

G 1 1 B 20/14

3 5 1 A

審査請求 未請求 請求項の数1 O L (全 4 頁)

(21) 出願番号 特願平10-34646

(22) 出願日 平成10年(1998) 2月17日

(71) 出願人 000005921

松下電器産業株式会社

大阪府門真市大字門真1006番地

(72) 発明者 中島 章太

大阪府門真市大字門真1006番地 松下電器

産業株式会社内

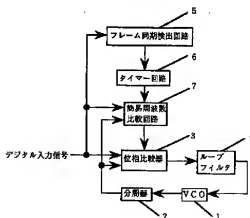
(74) 代理人 弁理士 宮井 暎夫

(57) 【発明の名称】 ビットクロック再生装置

(57) 【要約】

【課題】 外部からの周波数検出用クロックを必要とせず、デジタル入力信号のみにて所望の周波数のビットクロックを得られるビットクロック再生装置を実現する。

【解決手段】 VCO回路1と分周器2と位相比較器3とループフィルタ4とからなるPLL回路に、デジタル入力信号のデータフォーマットから同期を検出するフレーム同期検出回路5と、その検出結果を一定期間モニタするタイマー回路6と、デジタル入力信号と分周器2の出力信号とを入力とする簡易周波数比較回路7とを設け、フレーム同期検出回路5およびタイマー回路6によりPLLの疑似同期状態を検出して、簡易周波数比較回路7により所望の周波数へVCO回路1の発振出力をシフトさせるように位相比較器3を制御することで、正しい周波数でロックするビットクロック再生動作を実現する。



## 【特許請求の範囲】

【請求項 1】 電圧制御型発振器と、この電圧制御型発振器の発振出力を所定の分周比で分周したクロックを出力する分周器と、

この分周器の出力信号および外部からのデジタル入力信号を入力して位相比较する位相比较器と、

この位相比较器の出力を用いて位相比较は行えるが周波数の比較は行うことができない。このため、VCO 回路 31 の周波数可変範囲が広い場合、所望のビットクロック周波数の整数倍または整数分の 1 の周波数にロックする可能性がある。場合によっては所望の周波数の整数比の周波数にロックすることも考えられる。この所望の周波数以外の周波数に PLL がロックしている状態を、以後、疑似同期状態と記述する。この疑似同期状態を避けるために周波数比較回路 35 を設けている。すなわち、基準となる周波数検出用クロックを外部から入力してその周波数検出用クロックと分周器 32 の出力との周波数比較を周波数比較回路 35 にて実施することで疑似同期状態を検出し、それによって VCO 回路 31 の発振出力を所望の周波数方向へシフトさせるように位相比较器 33 の出力を制御し、所望の周波数に PLL がロックするようにしている。

この同期検出手段の出力を所定の期間モニタし、前記所定の期間内に前記同期検出手段による同期検出が無いときに制御信号を発するタイマー回路と、

このタイマー回路の制御信号に応答して、前記デジタル入力信号と前記分周器の出力信号とを入力して簡易な周波数比較を行い、その比較結果に基づいて前記位相比较器の出力を制御する簡易周波数比較回路とを備えたビットクロック再生装置。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】 本発明は、デジタル入力信号からその入力信号を受信するためのクロック再生を行うビットクロック再生装置に関する。

## 【0002】

【従来の技術】 音声信号をデジタル伝送する BS 放送等においては、デジタル信号の受信装置において受信信号に同期したビットクロックを再生することが必要となる。従来、ビットクロック再生機能を得るための回路としては、電圧制御型発振器（以下「VCO 回路」と記述する）と、その発振出力を所定の分周器と、その分周器の出力と受信したデジタル信号との位相比较を行う位相比较器と、その位相比较器の出力を VCO 回路への入力電圧へ変換するループフィルタ等からなる PLL 回路にて実現される。

【0003】 以下、図面を参照しながら従来の PLL 回路を用いたビットクロック再生装置について説明する。図 3 は従来のビットクロック再生装置の構成を示すブロック図である。図 3 において、31 は VCO 回路、32 は分周器、33 は位相比较器、34 はループフィルタ、35 は周波数比較回路である。

【0004】 この従来のビットクロック再生装置は、VCO 回路 31 と、分周器 32 と、位相比较器 33 と、ループフィルタ 34 と、周波数比較回路 35 とを備えている。以上のように構成された従来のビットクロック再生装置の動作について、以下に説明する。VCO 回路 31 の発振出力を分周器 32 で所定の分周比で分周した後、その分周出力とビットクロックを再生させるデジタル入力信号とを位相比较器 33 に入力して位相比较を行い、その出力をループフィルタ 34 へ入力する。位相比较器

33 とループフィルタ 34 にて位相比较結果の位相差分を打ち消すように VCO 回路 31 を制御するためのアナログ電圧を発生して VCO 回路 31 へ入力することで、デジタル入力信号に位相同期したクロックを再生する PLL 回路を構成する。この場合、デジタル入力信号は“1”、“0”のランダムデータであるため、このデジタル入力信号を用いて位相比较は行えるが周波数の比較は行うことができない。このため、VCO 回路 31 の周波数可変範囲が広い場合、所望のビットクロック周波数の整数倍または整数分の 1 の周波数にロックする可能性がある。場合によっては所望の周波数の整数比の周波数にロックすることも考えられる。この所望の周波数以外の周波数に PLL がロックしている状態を、以後、疑似同期状態と記述する。この疑似同期状態を避けるために周波数比較回路 35 を設けている。すなわち、基準となる周波数検出用クロックを外部から入力してその周波数検出用クロックと分周器 32 の出力との周波数比較を周波数比較回路 35 にて実施することで疑似同期状態を検出し、それによって VCO 回路 31 の発振出力を所望の周波数方向へシフトさせるように位相比较器 33 の出力を制御し、所望の周波数に PLL がロックするようにしている。

## 【0005】

【発明が解決しようとする課題】 上記従来の構成では、外部にて周波数検出用クロックを作成して周波数比較回路 35 へ入力する必要があるため、周波数検出用クロックを発生するための発振器等の付加部品点数が増大するという課題があった。本発明は、上記のような従来の課題を解決するものであり、外部からの周波数検出用クロックを必要とせず、デジタル入力信号のみにて所望の周波数のビットクロックを得られるビットクロック再生装置を提供することを目的とする。

## 【0006】

【課題を解決するための手段】 本発明のビットクロック再生装置は、電圧制御型発振器と、この電圧制御型発振器の発振出力を所定の分周比で分周したクロックを出力する分周器と、この分周器の出力信号および外部からのデジタル入力信号を入力して位相比较する位相比较器と、この位相比较器の出力を電圧制御型発振器へ入力するためのアナログ電圧へ変換するループフィルタと、デジタル入力信号のデータフォーマットからデジタル入力信号と分周器の出力信号との同期検出を行う同期検出手段と、この同期検出手段の出力を所定の期間モニタし、所定の期間内に同期検出手段による同期検出が無いときに制御信号を発するタイマー回路と、このタイマー回路の制御信号に応答して、デジタル入力信号と分周器の出力信号とを入力して簡易な周波数比較を行い、その比較結果に基づいて位相比较器の出力を制御する簡易周波数比較回路とを備えている。

【0007】 この構成によれば、同期検出手段およびタ

イマー回路により、デジタル入力信号のデータフォーマットから所定の期間同期検出状態をモニタすることに疑似同期状態を検出し、疑似同期状態を検出したときに、簡易周波数比較回路によりそれを外すようにPLL制御を行うことで、従来のように外部から周波数検出用クロックを入力する必要なく、所望の周波数のビットクロック再生が可能となる。

#### 【0008】

【発明の実施の形態】以下、本発明の実施の形態について、図面を参照しながら説明する。図1は本発明の実施の形態のビットクロック再生装置の構成を示すブロック図である。図1において、1はVCO回路、2は分周器、3は位相比較器、4はループフィルタ、5はデジタル入力信号のデータフォーマットからフレーム同期を検出するフレーム同期検出回路（同期検出手段）、6はフレーム同期検出回路5の検出結果を所定の期間モニタするタイマー回路、7はデジタル入力信号および分周器2の出力信号を入力して簡易な周波数比較を行う簡易周波数比較回路である。

【0009】本実施の形態のビットクロック再生装置は、VCO回路1と分周器2と位相比較器3とループフィルタ4とからなるPLL回路に、疑似同期状態を検出するためにフレーム同期検出回路5およびタイマー回路6を設け、それにより疑似同期状態を検出したときにデジタル入力信号と分周器2の出力信号との簡易な周波数比較を行い、その比較結果に基づいて位相比較器3の出力を制御する簡易周波数比較回路7を設けたものである。

【0010】以上のように構成された本実施の形態のビットクロック再生装置について、その動作例を以下に説明する。まず、VCO回路1、分周器2、位相比較器3、ループフィルタ4により、VCO回路1の発振出力をデジタル入力信号の位相に同期させるPLL回路を構成している。この場合、従来の技術でも説明したように所望のビットクロック周波数以外の周波数にロックした疑似同期状態になる場合がある。そこで、フレーム同期検出回路5によりデジタル入力信号から同期検出を行う。フレーム同期検出回路5はVCO回路1の発振出力から作られたクロックで動作するものとする。このフレーム同期検出回路5で用いるクロックは位相比較器3の構成によって位相比較器3のクロック（分周器2の出力）と分周比が異なる。例えば、BS放送用LSIでは、位相比較器3には1.024MHzのクロックを、フレーム同期検出回路5には位相比較器3の2倍の2.048MHzのクロックを用いる。分周器2で、位相比較器3へ入力するクロックと、フレーム同期検出回路5へ入力するクロックとの両方を発生させてよい。以下に、デジタル入力信号がBS放送の音声データである場合を例にして説明する。

【0011】BS放送の音声データは2048ビットを

1フレームとした単位で伝送され、伝送レートは2.048Mビット/sec（1フレーム/msec）である。ここで各フレームの先頭には受信側でフレーム同期をとるために16ビットの同期コードが必ず付加されている。受信側でフレーム同期を検出する場合、受信機によって差はあるものの、まず16ビットの同期コードを検出して、その後1msec周期で同期コードと同一の16ビットのパターンが数フレーム連続したことを確認した場合、フレーム同期を確立する。また、同期を解除する場合は、同期確立したフレーム周期の先頭で16ビットの同期コードに対して、所定のビット数以上の誤りが数フレーム連続した場合にフレーム同期を解除する。このため、PLLが疑似同期状態になり、例えば所望のビットクロック周波数のn倍（nは1以外）の周波数になった場合、フレーム同期検出回路5は1フレームを1/n（msec）周期で認識することになり、このため、1/n（msec）の周期で同期コードと同一パターンが毎周期存在しなければ、フレーム同期は確立されない。BS放送の音声データでは、2048ビットから先頭同期コード16ビットを除いた残りの2032ビットはランダムな放送データであり、1/n（msec）の周期で同期コードと同一パターンが毎周期存在することはあり得ないため、フレーム同期が確立されることはない。

【0012】したがって、フレーム同期検出回路5の同期検出状態をタイマー回路6により一定期間モニタして、その期間内で同期が検出されなかった場合、疑似同期状態であると判断し、その場合、簡易周波数比較回路7によりデジタル入力信号と分周器2の出力とで簡易的な周波数比較を行う。また、タイマー回路6のモニタする一定期間内で同期が検出された場合には、簡易周波数比較回路7による制御は行わない。タイマー回路6は、フレーム同期検出回路5と同一クロックを使用し、モニタする期間は、フレーム同期確立するためのフレーム設定回数に対して十分大きい回数とする。例えば、同期コードを3フレーム連続検出した場合に同期確立するようなシステムにおいて、数10フレーム程度モニタして同期確立しない場合は疑似同期状態と判断する。何フレームが最適であるかはシステムによって異なる。

【0013】ここで、簡易周波数比較回路7について図面を参照しながら説明する。図2は簡易周波数比較回路7のタイミングチャートである。デジタル入力信号はランダムなデータであるため、その信号が変化する時間は本来のビットレートの整数倍の時間でランダムに変化することになる。しかしながら、充分長い期間モニタしてその中で最小レートで変化するデータを見つければ、そのレートが所望のビットクロックのレートと判断して問題ない。この最小レートの時間内に分周器2の出力クロックが何発存在するかで周波数比較を行う。疑似同期状態とは基本的に所望の周波数の整数倍または整数分

の1の周波数にロックした状態と考えられるので、例えばデータの最小レートの時間内に分周器2の出力クロックが2発以上存在した場合、周波数が高すぎると判断してVCO回路1の発振周波数を低くするように位相比較器3の出力を制御する。逆にデータの最小レートの中に分周器2の出力クロックが2発以上存在しなかった場合、発振周波数が低すぎると判断してVCO回路1の発振周波数を高くするように位相比較器3の出力を制御する。なお、所望の正しい周波数にロックしている場合には、フレーム同期検出回路5により同期が確立しているので、簡易周波数比較回路7による制御は行わない。

【0014】以上のように本実施の形態によれば、フレーム同期検出回路5およびタイマー回路6により、デジタル入力信号のデータフォーマットから一定期間同期検出状態をモニタすることで疑似同期状態を検出し、疑似同期状態を検出したときに、簡易周波数比較回路7により所望の周波数へVCO回路1の発振出力をシフトさせるように位相比較器3を制御することで、所望の周波数のビットクロック再生が可能となる。したがって、デジタル入力信号のみから正しいビットクロック再生動作が可能となり、従来のように外部から周波数検出用クロックを入力する必要なく、外づけ部品等を削減できる。

【0015】

【発明の効果】以上のように本発明によれば、同期検出\*

\* 手段およびタイマー回路により、デジタル入力信号のデータフォーマットから所定の期間同期検出状態をモニタすることで疑似同期状態を検出し、疑似同期状態を検出したときに、簡易周波数比較回路によりそれを外すようにPLL制御を行うことで、所望の周波数のビットクロック再生が可能となる。したがって、デジタル入力信号のみから正しいビットクロック再生動作が可能となり、従来のように外部から周波数検出用クロックを入力する必要なく、外づけ部品等を削減できる。

#### 10 【図面の簡単な説明】

【図1】本発明の実施の形態のビットクロック再生装置の構成を示すブロック図。

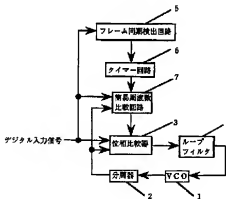
【図2】本発明の実施の形態における簡易周波数比較回路のタイミングチャート。

【図3】従来のビットクロック再生装置の構成を示すブロック図。

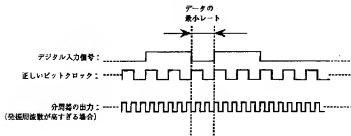
#### 【符号の説明】

- 1 VCO回路
- 2 分周器
- 3 位相比較器
- 4 ループフィルタ
- 5 フレーム同期検出回路
- 6 タイマー回路
- 7 簡易周波数比較回路

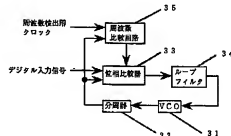
【図1】



【図2】



【図3】



PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-232795

(43)Date of publication of application : 27.08.1999

---

(51)Int.Cl. G11B 20/14

---

(21)Application number : 10-034646 (71)Applicant : MATSUSHITA ELECTRIC IND  
CO LTD

(22)Date of filing : 17.02.1998 (72)Inventor : NAKAJIMA SHOTA

---

(54) BIT CLOCK REPRODUCING DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To realize a bit clock reproducing device which can obtain a bit clock having a desired frequency only by a digital input signal without requiring an external clock for detecting frequency.

SOLUTION: This device is provided with a frame synchronism detecting circuit 5 detecting synchronism from a data format of a digital input signal in a PLL circuit consisting of a VCO(voltage control oscillator) circuit 1, a frequency divider 2, a phase comparator 4, and a loop filter 4, a timer circuit 6 monitoring the detected result for a fixed period, and a simple frequency comparing circuit 7 to which a digital input signal and an output signal of the frequency divider 2 are inputted. Then a pseudo synchronizing state of the PLL is detected by the frame synchronism detecting circuit 5 and the timer circuit 6, and bit clock reproducing operation is realized by controlling the phase comparator 3 so that an oscillation output of the VCO circuit 1 is shifted to a desired frequency by the simple frequency comparing circuit 7.

---

LEGAL STATUS [Date of request for examination]  
[Date of sending the examiner's decision of rejection]  
[Kind of final disposal of application other than the examiner's decision of rejection or  
application converted registration]  
[Date of final disposal for application]  
[Patent number]  
[Date of registration]  
[Number of appeal against examiner's decision of rejection]  
[Date of requesting appeal against examiner's decision of rejection]  
[Date of extinction of right]

**\* NOTICES \***

JPO and NCIP are not responsible for any  
damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

---

**CLAIMS**

---

[Claim(s)]

[Claim 1] A voltage-controlled oscillator and the counting-down circuit which outputs the clock which carried out dividing of the oscillation output of this voltage-controlled oscillator by the predetermined division ratio, The phase comparator which inputs and carries out the phase comparison of the output signal of this counting-down circuit, and the digital input signal from the outside, The loop filter which changes the output of this phase comparator into the analog voltage for inputting into said voltage-controlled oscillator, A synchronous detection means to perform synchronous detection with said digital input signal and output signal of said counting-down circuit from the data format of said digital input signal, The timer circuit which emits a control signal when predetermined carries out the period monitor of the output of this synchronous detection means and there is no synchronous



detection by said synchronous detection means within said predetermined period, The bit clock regenerative apparatus equipped with the simple frequency comparator circuit which answers the control signal of this timer circuit, inputs said digital input signal and output signal of said counting-down circuit, performs a simple frequency comparison, and controls the output of said phase comparator based on that comparison result.

---

## DETAILED DESCRIPTION

---

[Detailed Description of the Invention]

[0001]

[Field of the Invention] This invention relates to the bit clock regenerative apparatus which performs clock playback for receiving the input signal from a digital input signal.

[0002]

[Description of the Prior Art] In BS broadcast which transmits a sound signal digitally, it is necessary to reproduce the bit clock which synchronized with the input signal in the receiving set of a digital signal. It realizes in the PLL circuit which consists of a voltage-controlled oscillator (it is described as a "VCO circuit" below), the counting-down circuit which carries out dividing of the oscillation output, a phase comparator which performs the phase comparison of the output of the counting-down circuit, and the received digital signal, a loop filter which changes the output of the phase comparator into the input voltage to a VCO circuit as a circuit for obtaining a bit clock regenerative function conventionally.

[0003] Hereafter, the bit clock regenerative apparatus using the conventional PLL circuit is explained, referring to a drawing. Drawing 3 is the block diagram showing the configuration of the conventional bit clock regenerative apparatus. For a VCO circuit and 32, as for a phase comparator and 34, in drawing 3, a counting-down circuit and 33 are [ 31 / a loop filter and 35 ] frequency comparator circuits.

[0004] This conventional bit clock regenerative apparatus is equipped with the VCO circuit 31, the counting-down circuit 32, the phase comparator 33, the loop filter 34, and the frequency comparator circuit 35. Actuation of the conventional bit clock regenerative apparatus constituted as mentioned above is explained below. After carrying out dividing of the oscillation output of the VCO circuit 31 to a division ratio predetermined with a counting-down circuit 32, the dividing output and the digital input signal which reproduces a bit clock are inputted into a phase comparator 33, a phase comparison is performed and the output is inputted into a loop filter 34. The PLL circuit which reproduces the clock which carried out phase simulation to the digital input signal consists of at least a phase comparator 33 and a loop filter 34

generating the analog voltage for controlling the VCO circuit 31 to negate a part for the phase contrast of a phase comparison result, and inputting them into the VCO circuit 31. In this case, since a digital input signal is "1" or "0" random data, the comparison of a frequency cannot be performed although a phase comparison can be performed using this digital input signal. For this reason, when the frequency adjustable range of the VCO circuit 31 is wide, it may lock in the integral multiple of a desired bit clock frequency, or the frequency of 1 for an integer. Locking in the frequency of the integer ratio of a desired frequency is also considered by the case. The condition that PLL locks in frequencies other than the frequency of this request is henceforth described to be a false synchronous condition. In order to avoid this false synchronous condition, the frequency comparator circuit 35 is formed. That is, a false synchronous condition is detected by inputting the clock for frequency detection used as criteria from the outside, and carrying out the frequency comparison with the clock for frequency detection and output of a counting-down circuit 32 in the frequency comparator circuit 35, and he controls the output of a phase comparator 33 to shift the oscillation output of the VCO circuit 31 in the desired frequency direction by it, and is trying for PLL to lock in a desired frequency.

[0005]

[Problem(s) to be Solved by the Invention] With the above-mentioned conventional configuration, since it was necessary to create the clock for frequency detection externally and to input into the frequency comparator circuit 35, the technical problem that external components mark, such as an oscillator for generating the clock for frequency detection, increased occurred. This invention does not solve the above conventional technical problems, and does not need the clock for frequency detection from the outside, but aims at offering the bit clock regenerative apparatus which can obtain the bit clock of a desired frequency only in a digital input signal.

[0006]

[Means for Solving the Problem] The counting-down circuit as for which the bit clock regenerative apparatus of this invention outputs the clock with which dividing of the oscillation output of a voltage-controlled oscillator and this voltage-controlled oscillator was carried out by the predetermined division ratio. The phase comparator which inputs and carries out the phase comparison of the output signal of this counting-down circuit, and the digital input signal from the outside. The loop filter which changes the output of this phase comparator into the analog voltage for inputting into a voltage-controlled oscillator. A synchronous detection means to perform synchronous detection with a digital input signal and the output signal of a counting-down circuit from the data format of a digital input signal. The timer circuit which emits a control signal when predetermined carries out the period monitor of the output of this synchronous detection means and there is no synchronous detection by the synchronous detection means within a predetermined period. The control signal of

this timer circuit was answered, the digital input signal and the output signal of a counting-down circuit were inputted, the simple frequency comparison was performed, and it has the simple frequency comparator circuit which controls the output of a phase comparator based on that comparison result.

[0007] When according to this configuration a false synchronous condition is detected by carry out the monitor of the predetermined period synchronous detection condition from the data format of a digital input signal and a false synchronous condition is detected by the synchronous detection means and the timer circuit , it is not necessary to input the clock for frequency detection from the exterior like before , and bit clock playback of a desired frequency is attained by perform PLL control so that it may be removed by the simple frequency comparator circuit .

[0008]

[Embodiment of the Invention] Hereafter, the gestalt of operation of this invention is explained, referring to a drawing. Drawing 1 is the block diagram showing the configuration of the bit clock regenerative apparatus of the gestalt of operation of this invention. In drawing 1 , they are the frame synchronization detector (synchronous detection means) where in a VCO circuit and 2 a phase comparator and 4 detect a loop filter and, as for 5, a counting-down circuit and 3 detect [ 1 ] frame synchronization from the data format of a digital input signal, the predetermined timer circuit where 6 carries out the period monitor of the detection result of the frame synchronization detector 5, and the simple frequency comparator circuit which 7 inputs a digital input signal and the output signal of a counting-down circuit 2, and performs a simple frequency comparison.

[0009] The bit clock regenerative apparatus of the gestalt of this operation performs the simple frequency comparison with a digital input signal and the output signal of a counting-down circuit 2 in it, when the frame-synchronization detector 5 and the timer circuit 6 are formed and a false synchronous condition is detected in the PLL circuit which consists of the VCO circuit 1, a counting-down circuit 2, a phase comparator 3, and a loop filter 4 by that cause, in order to detect a false synchronous condition, and it establishes in it the simple frequency comparator circuit 7 which controls the output of a phase comparator 3 based on the comparison result.

[0010] About the bit clock regenerative apparatus of the gestalt of this operation constituted as mentioned above, the example of operation is explained below. First, the VCO circuit 1, the counting-down circuit 2, the phase comparator 3, and the loop filter 4 constitute the PLL circuit which synchronizes the oscillation output of the VCO circuit 1 with the phase of a digital input signal. In this case, it may be in the false synchronous condition locked in frequencies other than a desired bit clock frequency as the Prior art also explained. Then, the frame synchronization detector 5 performs synchronous detection from a digital input signal. The frame synchronization detector 5 shall operate with the clock made from the oscillation output of the VCO circuit 1.

As for the clock used in this frame synchronization detector 5, the clock (output of a counting-down circuit 2) and division ratio of a phase comparator 3 change with configurations of a phase comparator 3. For example, by LSI for BS broadcast, a 1.024MHz clock is used for a phase comparator 3, and a 2.048MHz twice as many clock as a phase comparator 3 is used for the frame synchronization detector 5. With a counting-down circuit 2, both the clock inputted into a phase comparator 3 and the clock inputted into the frame synchronization detector 5 may be generated. Below, the case where a digital input signal is the voice data of BS broadcast is made into an example, and it explains.

[0011] The voice data of BS broadcast is transmitted in the unit which made 2048 bits one frame, and transmission rates are 2.048M bit / sec (one frame / msec). In order to take frame synchronization by the receiving side at the head of each frame here, the 16-bit synchronous code is surely added. When detecting frame synchronization by the receiving side, with a receiver, a 16-bit synchronous code is detected first, and a difference establishes frame synchronization, when the thing of a certain thing which several 16-bit patterns same 1msec period as a synchronous code continued after that is checked. Moreover, at the head of the frame period which carried out synchronous establishment when a synchronization was canceled, to a 16-bit synchronous code, when several errors more than the predetermined number of bits continue, frame synchronization is canceled. For this reason, when PLL changes into a false synchronous condition, for example, it becomes a desired clock frequency  $n$  times ( $n$  except 1) the frequency of a bit, frame synchronization is not established, if the frame synchronization detector 5 will recognize one frame a  $1/n$  (msec) period and the same pattern as a synchronous code does not recognize [ the detector ] \*\*\*\*\* existence with the period of  $1/n$  (msec) for this reason. In the voice data of BS broadcast, since 2032 bits is broadcast data with the random remainder except 16 bits of 2048 bits to head synchronous codes and the same pattern as a synchronous code cannot recognize [ bits ] \*\*\*\*\* existence with the period of  $1/n$  (msec), frame synchronization is not established.

[0012] Therefore, when a fixed period monitor of the synchronous detection condition of the frame synchronization detector 5 is carried out by the timer circuit 6 and a synchronization is not detected within the period, it judges that it is in a false synchronous condition, and the simple frequency comparator circuit 7 performs a simple frequency comparison with a digital input signal and the output of a counting-down circuit 2 in that case. Moreover, when a synchronization is detected within a fixed period which carries out a monitor in the timer circuit 6, control by the simple frequency comparator circuit 7 is not performed. The timer circuit 6 makes the period which uses and carries out the monitor of the same clock as the frame synchronization detector 5 a sufficiently large count to the frame predetermined number for carrying out frame synchronization establishment. For example, in a

system which carries out synchronous establishment when three-frame continuation detection of the synchronous code is carried out, the monitor of about several ten frames is carried out, and when not carrying out synchronous establishment, it is judged as a false synchronous condition. What frame is the optimal changes with systems.

[0013] Here, it explains, referring to a drawing about the simple frequency comparator circuit 7. Drawing 2 is the timing chart of the simple frequency comparator circuit 7. Since a digital input signal is random data, the time amount from which the signal changes will change at random by the time amount of the integral multiple of an original bit rate. However, the rate judges as the rate of a desired bit clock and is satisfactory if the sufficiently long data which carry out a period monitor and change at the minimum rate in the inside of it are found. A frequency comparison is performed in output clock of how many shots of a counting-down circuit 2 exists in the time amount of this minimum rate. Since it is considered the condition of having locked in the integral multiple of a desired frequency, or the frequency of 1 for an integer fundamentally [ a false synchronous condition ], when the output clock of two or more shots of a counting-down circuit 2 exists, for example in the time amount of the minimum rate of data, the output of a phase comparator 3 is controlled to judge that a frequency is too high and to make the oscillation frequency of the VCO circuit 1 low. Conversely, when the output clock of two or more shots of a counting-down circuit 2 does not exist in the minimum rate of data, the output of a phase comparator 3 is controlled to judge that an oscillation frequency is too low and to make the oscillation frequency of the VCO circuit 1 high. In addition, since the synchronization is established by the frame synchronization detector 5 when locked in the desired right frequency, control by the simple frequency comparator circuit 7 is not performed.

[0014] According to the gestalt of this operation, bit clock playback of a desired frequency is attained as mentioned above by controlling a phase comparator 3 by the frame synchronization detector 5 and the timer circuit 6 to shift the oscillation output of the VCO circuit 1 to a desired frequency by the simple frequency comparator circuit 7, when a false synchronous condition is detected by carrying out the monitor of the fixed period synchronous detection condition from the data format of a digital input signal and a false synchronous condition is detected. Therefore, right bit clock playback actuation does not need to be attained only from a digital input signal, it is not necessary to input the clock for frequency detection from the exterior like before, and outside attachment components etc. can be reduced.

[0015]

[Effect of the Invention] When a false synchronous condition is detected by carrying out the monitor of the predetermined period synchronous detection condition from the data format of a digital input signal and a false synchronous condition is detected by the synchronous detection means and the timer circuit according to this invention

as mentioned above, bit clock playback of a desired frequency is attained by performing PLL control so that it may be removed by the simple frequency comparator circuit. Therefore, right bit clock playback actuation does not need to be attained only from a digital input signal, it is not necessary to input the clock for frequency detection from the exterior like before, and outside attachment components etc. can be reduced.

---

## DESCRIPTION OF DRAWINGS

---

### [Brief Description of the Drawings]

[Drawing 1] The block diagram showing the configuration of the bit clock regenerative apparatus of the gestalt of operation of this invention.

[Drawing 2] The timing chart of the simple frequency comparator circuit in the gestalt of operation of this invention.

[Drawing 3] The block diagram showing the configuration of the conventional bit clock regenerative apparatus.

### [Description of Notations]

- 1 VCO Circuit
- 2 Counting-down Circuit
- 3 Phase Comparator
- 4 Loop Filter
- 5 Frame Synchronization Detector
- 6 Timer Circuit
- 7 Simple Frequency Comparator Circuit